

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-248741

(43)Date of publication of application : 26.09.1995

(51)Int.Cl.

G09G 3/00

G02F 1/133

G09G 3/36

H03K 23/00

(21)Application number : 06-064432

(71)Applicant : NEW JAPAN RADIO CO LTD

(22)Date of filing : 09.03.1994

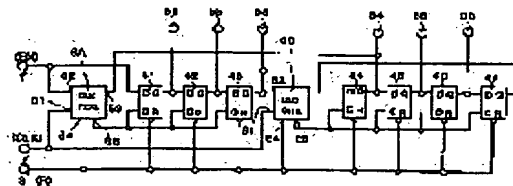
(72)Inventor : KUNO TAKEYOSHI

(54) DATA SHIFT CIRCUIT

(57)Abstract:

PURPOSE: To reduce the current consumption in a shift register by constituting a data shift circuit to stop switching operation of a circuit not contributing to data shift.

CONSTITUTION: In the shift register, a clock control circuit 6A is provided on a first stage, and DFF circuits 41-43 of continuous three stages are provided on the poststage, and another clock control circuit 6B is provided on the poststage, and the DFF circuits 44-47 of continuous four stages are provided on the poststage. The clock control circuits 6A, 6B are provided with a clock input terminal 61, an enable terminal 62, a feedback terminal 63, a reset terminal 64 and a clock output terminal 65. Then, this circuit is constituted so that the supply of a clock signal to the DFF circuit operating no data shift is stopped. Thus, only an FF circuit of a group corresponding to the clock control circuit outputting the clock signal performs the switching operation, and no FF circuits of other group perform the switching operation since the supply of the clock signal is stopped by the corresponding clock control circuits.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-248741

(43) 公開日 平成7年(1995)9月26日

(51) Int.Cl.⁶

識別記号

庁内整理番号

F I

技術表示箇所

G 0 9 G 3/00

R 9378-5G

G 0 2 F 1/133

5 0 5

G 0 9 G 3/36

H 0 3 K 23/00

D

審査請求 未請求 請求項の数3 F D (全 6 頁)

(21) 出願番号

特願平6-64432

(22) 出願日

平成6年(1994)3月9日

(71) 出願人 000191238

新日本無線株式会社

東京都中央区日本橋横山町3番10号

(72) 発明者 久野 剛義

東京都豊島区西池袋1丁目17番10号 株式会社エヌ・ジェイ・アールセミコンダクタ内

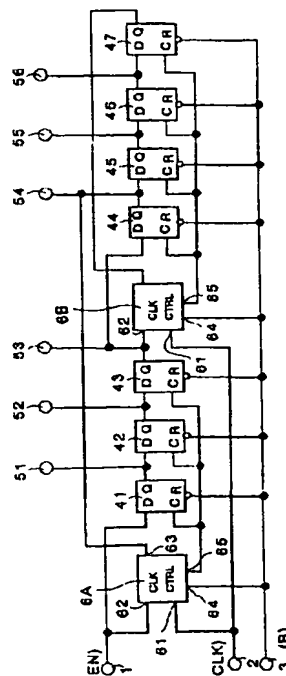
(74) 代理人 弁理士 長尾 常明

(54) 【発明の名称】 データシフト回路

(57) 【要約】

【目的】 シフトレジスタの消費電流を少なくする。

【構成】 シフトレジスタを構成する複数段のD F F回路のうち、現在データのシフト動作を行っていないD F F回路へのクロック信号供給を停止させる。



【特許請求の範囲】

【請求項 1】前段の F F 回路の出力を後段の F F 回路の入力とするように複数の F F 回路を縦続接続し、最前段の F F 回路に入力したデータをクロック信号に応じて後段の F F 回路に順次シフトさせるようにしたデータシフト回路において、

上記複数の F F 回路を任意数ごとにグループ化し、各グループごとにクロック制御回路を接続し、所定グループの最前段の F F 回路から当該所定グループの次段のグループの最前段の F F 回路に上記データがシフトする期間のみ、当該所定グループに割り当てられた上記クロック制御回路が当該所定グループの各 F F 回路にクロック信号を供給するようにしたことを特徴とするデータシフト回路。

【請求項 2】上記クロック制御回路を、クロック入力端子からクロック出力端子へのクロック信号の通過を制御するゲート手段と、上記データが入力することにより該ゲート手段をゲートオープンし、上記クロック制御回路が割り当てられたグループの次段のグループの最前段の F F 回路に上記データがシフトした時点でゲートクローズするラッチ手段とから構成したことを特徴とする請求項 1 に記載のデータシフト回路。

【請求項 3】上記クロック制御回路を、クロック入力端子からクロック出力端子へのクロック信号の通過を制御するゲート手段と、上記データが入力することにより該ゲート手段をゲートオープンし、上記通過したクロック数が上記グループの F F 回路の段数+1 個に達した時点で上記ゲート手段をゲートクローズするラッチ手段とから構成したことを特徴とする請求項 1 に記載のデータシフト回路。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、クロック信号によってデータを順次シフトする回路に係り、特に消費電流を大幅に低減させたデータシフト回路に関するものである。

【0002】

【従来の技術】例えば、液晶駆動回路においては、ドットマトリクス配置の LCD（液晶表示素子）をダイナミック駆動するために、コモンラインを走査するコモン信号ドライバと表示データに応じて選択された特定のコモンライン上の LCD を駆動するセグメント信号ドライバとが設けられる。

【0003】このうち、コモン信号ドライバは、個々のコモンラインを順次繰り返して駆動するよう回路構成されており、例えば、図 5 に示すようなシフトレジスタの回路から構成される。図 5 において、1 はイネーブル端子（データ入力端子）、2 はクロック入力端子、3 はリセット端子、4 1 ~ 4 6 は D F F 回路、5 1 ~ 5 6 は出力端子である。

【0004】このシフトレジスタでは、図 6 のタイムチ

ャートで示すように、イネーブル端子 1 に入力したイネーブル信号（H パルス）が、クロック入力端子 2 にクロック（H パルス）が入力するごとに、D F F 4 1 → D F F 4 2 → …… → D F F 4 6 への転送されてゆき、出力端子 5 1 ~ 5 6 に順次 H パルス（クロックの周期のパルス幅）が現れる。よって、この出力端子 5 1 ~ 5 6 に現れる H パルスをコモン用の走査信号として使用することができる。

【0005】

【発明が解決しようとする課題】ところで、このようなシフトレジスタでは、すべての D F F 回路に共通にクロック信号が供給されるので、それらすべてが常時動作することになる。しかし、データのシフトに貢献しているのはその複数の D F F 回路のうちの連続する 2、3 個であり、他はデータシフトとは無関係である。

【0006】すなわち、2、3 個以外の D F F 回路のスイッチング動作は全く不要であるにもかかわらず、そのスイッチングによって貫通電流（入力信号が L レベルと H レベルとの間で変化するとき CMOS 回路の電源間に瞬間的に流れる電流）や F E T の入力容量への充放電電流が消費されることとなる。特に、このようなシフトレジスタにおける D F F 回路の段数は数十段に及ぶ場合があり、無駄な消費電流が多く流れることになる。

【0007】本発明はこのような点に鑑みてなされたものであり、その目的は、データシフトに寄与しない回路のスイッチング動作を停止させて、無駄な電流が消費されないようにしたデータシフト回路を提供することである。

【0008】

【課題を解決するための手段】上記目的は、前段の F F 回路の出力を後段の F F 回路の入力とするように複数の F F 回路を縦続接続し、最前段の F F 回路に入力したデータをクロック信号に応じて後段の F F 回路に順次シフトさせるようにしたデータシフト回路において、上記複数の F F 回路を任意数ごとにグループ化し、各グループごとにクロック制御回路を接続し、所定グループの最前段の F F 回路から当該所定グループの次段のグループの最前段の F F 回路に上記データがシフトする期間のみ、当該所定グループに割り当てられた上記クロック制御回路が当該所定グループの各 F F 回路にクロック信号を供給するようにしたことを特徴とするデータシフト回路によって達成される。

【0009】本発明では、上記クロック制御回路を、クロック入力端子からクロック出力端子へのクロック信号の通過を制御するゲート手段と、上記データが入力することにより該ゲート手段をゲートオープンし、上記クロック制御回路が割り当てられたグループの次段のグループの最前段の F F 回路に上記データがシフトした時点でゲートクローズするラッチ手段とから構成することができ

3

【0010】また、本発明では、上記クロック制御回路を、クロック入力端子からクロック出力端子へのクロック信号の通過を制御するゲート手段と、上記データが入力することにより該ゲート手段をゲートオープンし、上記通過したクロック数が上記グループのDFF回路の段数+1個に達した時点で上記ゲート手段をゲートクローズするラッチ手段とから構成することができる。

【0011】

【作用】本発明では、クロック信号を出力しているクロック制御回路に対応するグループのDFF回路のみがスイッチング動作し、他のグループのDFF回路は対応するクロック制御回路によってクロック信号供給が停止されるのでスイッチング動作しない。

【0012】

【実施例】以下、本発明について詳しく説明する。図1は本発明の一実施例のデータシフト回路であるシフトレジスタを示す回路である。図5に示したものと同一のものには同一の符号を付した。このシフトレジスタでは、初段にクロック制御回路6Aを設け、その後段に連続3段のDFF回路41~43を設け、その後段に別のクロック制御回路6Bを設け、その後段に連続4段のDFF回路44~47を設けている。最終段のDFF回路47はクロック制御回路6Bへの帰還信号を作成するためのダミー用である。

【0013】クロック制御回路6A、6Bは図2に符号6で示す構成の回路であり、クロック入力端子61、イネーブル端子62、帰還端子63、リセット端子64、及びクロック出力端子65を有する。図2において、66~69はインバータ、70は2入力ノアゲート、71、72は2入力ナンドゲート、73は3入力ナンドゲートである。このうち、ナンドゲート71はクロック通過用のゲートとして、またナンドゲート72、73はそのナンドゲート71のゲートオープン、クローズを制御するRSラッチ回路として機能する。

【0014】このクロック制御回路6は、帰還端子63がLレベル（帰還信号なし）で且つリセット端子64がHレベル（非リセット）時において、イネーブル端子6bにイネーブル信号入力がある（Hレベル）ときに、クロック入力端子61に入力しているクロックが立ち下がると、ノードAの電位がHレベルに立上り、ナンドゲート71をゲートオープンしてクロック入力端子61に入力しているクロックをクロック出力端子65に出力するが、帰還端子63の信号がLレベルに立ち下がると、そのゲートを閉じる。すなわち、このクロック制御回路6は、イネーブル信号のHレベルを検出するとクロック信号をクロック出力端子65に供給し、また帰還信号を検出するとそのクロック供給を停止する（図3のタイムチャート参照）。

【0015】さて、図1において、リセット端子3の信号がHレベル（非リセット）にある状態で、イネーブル

4

端子1にイネーブル信号（Hレベル信号）が入力すると、クロック制御回路6Aのクロック入力端子2に入力するクロック信号の立下がりのタイミングでナンドゲート71がゲートを開いてそのクロック信号がクロック出力端子65から出力される。なおこのとき、他方のクロック制御回路6Bはイネーブル端子62がLレベルにあり、クロック出力端子65からはクロック信号を出力しない。

【0016】このため、クロック制御回路6Aのクロック出力端子65の出力クロックの立上り時に、DFF回路41が上記イネーブル信号をラッチして若干遅れてQ出力をHレベルに保持し、出力端子51から出力するとともに、これを次段のDFF回路42のD入力に送る。

【0017】クロック制御回路6Aのクロック出力端子65の2回目のクロック立上りタイミングでは、上記DFF回路42が上記DFF回路41のQ出力（Hレベル）をラッチし若干遅れてQ出力をHレベルに保持し、出力端子52から出力するとともに、これを次段のDFF回路43のD入力に送る。なお、上記DFF回路41のQ出力も若干遅れてLレベルに復帰する。

【0018】クロック制御回路6Aのクロック出力端子65の3回目のクロック立上りタイミングでは、上記DFF回路43が上記DFF回路42のQ出力をラッチし若干遅れてQ出力をHレベルに保持し、出力端子53から出力するとともに、これを次段のDFF回路44のD入力に及びクロック制御回路6Bのイネーブル入力端子62に送る。なお、上記DFF回路42のQ出力も若干遅れてLレベルに復帰する。

【0019】クロック制御回路6Aのクロック出力端子65の4回目のクロック立上りタイミングでは、DFF回路43のQ出力と出力端子53がLレベルに復帰する。

【0020】以上から、出力端子51~53にはクロック信号の1周期のパルス幅のパルスが順次出力する。以上の動作中、上記したように、次段のクロック制御回路6B及びその後段のDFF回路44~47にはクロックが供給されないので、そこでのスイッチング動作は行なわれない。

【0021】次のクロックタイミング以降では、次段のクロック制御回路6B及びその後段のDFF回路44~47において上記と同様な動作が行なわれるが、このときクロック制御回路6A及びDFF回路41~43ではスイッチング動作は行なわれない。

【0022】前段のクロック制御回路6Aは、DFF回路44のQ出力を帰還端子63に受けることによってナンドゲート71が閉じ、クロック出力を停止する。また、後段のクロック制御回路6Bは、ダミーのDFF回路47のQ出力を帰還端子63に受けることによって同様にクロック出力を停止する。いずれの場合も、ナンドゲート71が閉じるタイミングはクロック入力端子2に

5

印加しているクロックの立上りタイミングよりも若干遅れるので、4個のクロック出力完了の後にそのナンドゲート71が閉じることになる。

【0023】図4は別の実施例のシフトレジスタの回路図である。図1に示した回路と異なる点は、後段のクロック制御回路6Bのイネーブル端子62への入力を2段目のDFF回路42のQ出力からとるようにした点である。このように構成することによって、後段6Bからのクロック出力開始タイミングが1クロック分早くなり、その分だけ図1に示した回路に比べて後段のDFF回路44～47のスイッチング停止時間が短くなるが、後段のクロック制御回路6Bのクロック端子61に inputs クロック信号に対するイネーブル端子62に inputs イネーブル信号の遅れを補償することができ、高速化に適する。

【0024】なお、以上のいずれの実施例においても、ダミーのDFF回路47は、後段のクロック制御回路6Bから3個ではなく4個のクロックを出力させてDFF回路46のQ出力を最終的にLレベルに復帰させるために設けたものであるが、同様の目的達成のためには、この手法の他に、このDFF回路47を削除して、その前段のDFF回路46への入力クロックをクロック入力端子2から直接入力させたり、あるいはそのDFF回路46のQ出力がHレベルに反転した後に1クロック分経過してからリセット信号をLレベルに復帰させる等の手法を採ることもできる。

【0025】また、上記実施例で説明したクロック制御回路6は、ナンドゲート72、73からなるSRラッチ回路を復帰させるために帰還端子63を設けてそこにDFF回路44や47のQ出力を取り込むようにしたが、クロック入力端子61と帰還端子63との間にカウンタを設けて、そのカウンタが所定数（上記実施例では4個）カウントした時点でその帰還端子63の出力をLレベルからHレベルに変化させて、ラッチ回路を復帰させるように構成することもできる。

【0026】また、以上説明した実施例はDFF回路の

6

合計段数がわずか6段の場合についてであるが、これは説明を簡略化するためであり、7段以上任意の段数の場合に適用できることは勿論である。この場合、前後のクロック制御回路の間に挿入されるDFF回路の段数が少ないほど、同時にスイッチング動作するDFF回路の個数が減少するので消費電力低減の観点から好ましい。

【0027】また、以上の実施例ではDFF回路を使用した場合について説明したが、他のFF回路を使用する場合にも適用できることは勿論である。

【0028】

【発明の効果】以上から本発明によれば、複数段縦続接続されたFF回路のうち、データのシフトに寄与しない部分のスイッチングが停止されるので、消費電流を少なくすることができ、FF回路の段数が多いほど消費電流削減の効果が大きくなるという利点がある。

【図面の簡単な説明】

【図1】 本発明の一実施例のシフトレジスタのブロック図である。

【図2】 本実施例のクロック制御回路のブロック図である。

【図3】 本実施例のシフトレジスタのタイムチャートである。

【図4】 別の実施例のシフトレジスタのブロック図である。

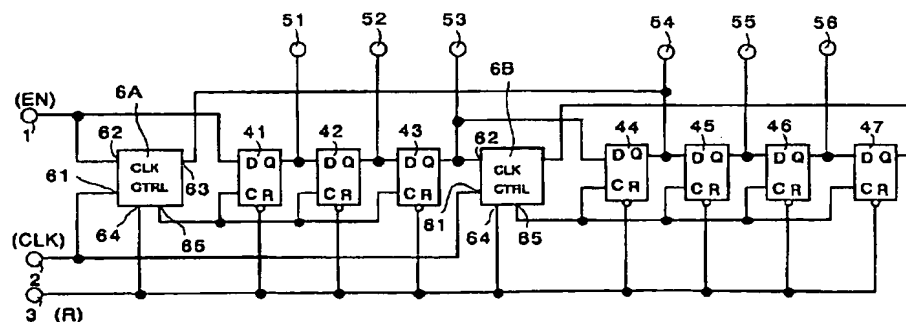
【図5】 従来のシフトレジスタのブロック図である。

【図6】 従来のシフトレジスタのタイムチャートである。

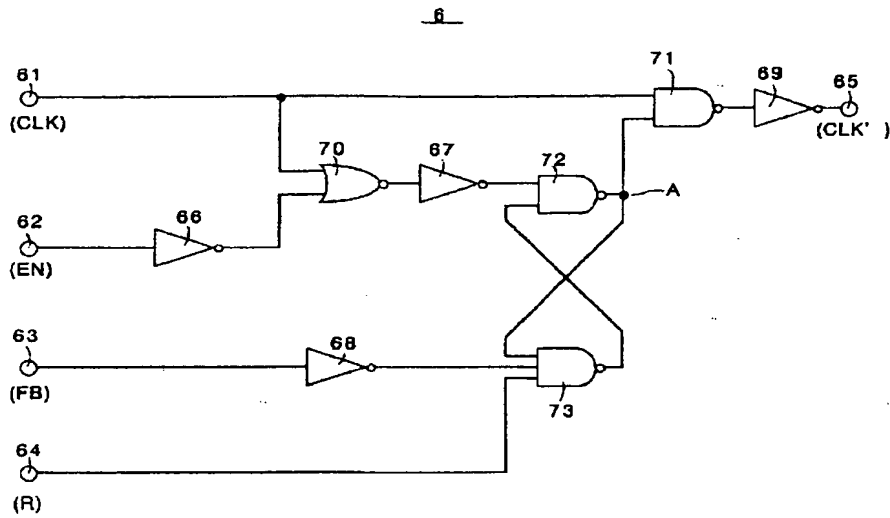
【符号の説明】

1：イネーブル端子、2：クロック入力端子、3：リセット端子、41～47：DFF回路、51～56：出力端子、6、6A、6B：クロック制御回路、61：クロック入力端子、62：イネーブル端子、63：帰還端子、64：リセット端子、65：クロック出力端子、66～69：インバータ、70：ノアゲート、71～73：ナンドゲート。

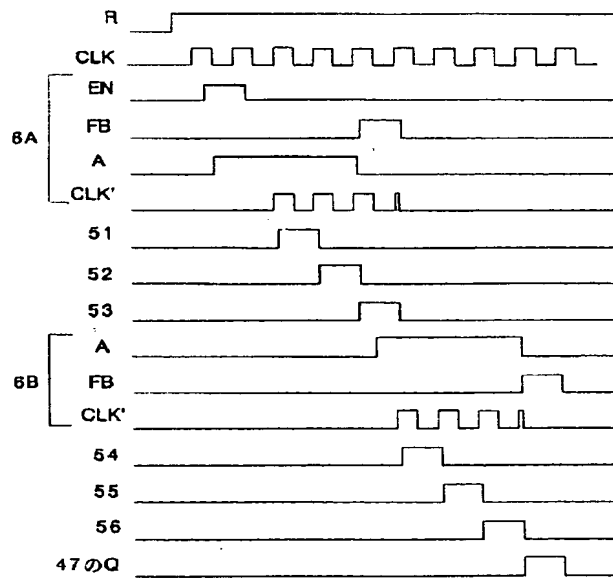
【図1】



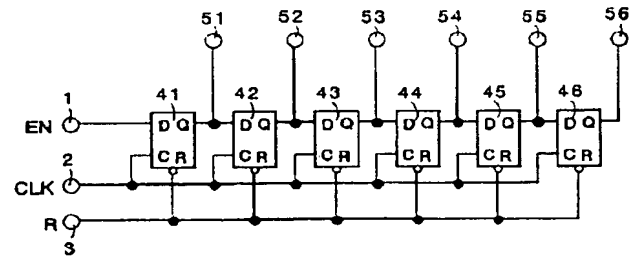
【図 2】



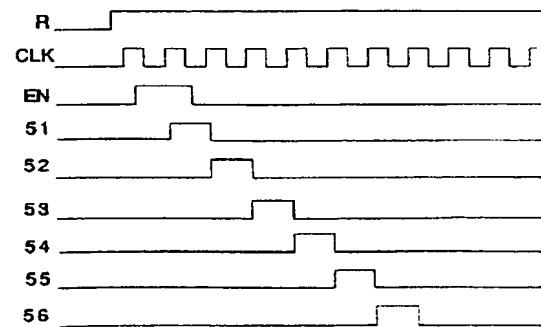
【図 3】



【図 5】



【図 6】



【図 4】

